

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07147287 A**(43) Date of publication of application: **06 . 06 . 95**

(51) Int. Cl.
H01L 21/331
H01L 29/73
H01L 21/8249
H01L 27/06
H01L 29/205

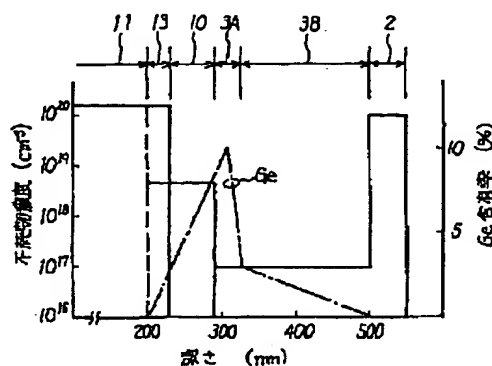
(21) Application number: **05296496**(71) Applicant: **NEC CORP**(22) Date of filing: **26 . 11 . 93**(72) Inventor: **YAMAZAKI TORU**(54) **SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To enhance the drift electric field of a silicon heterojunction bipolar transistor having an SiGe base and an SiGe collector, to improve the mobility of carriers in the base layer and to inhibit the generation of a parasitic energy barrier in a base-collector junction region.

CONSTITUTION: In a bipolar transistor having a base layer and a collector layer, which consist of a single crystal silicon layer containing Ge, the base layer is formed in such a way that a Ge concentration in the base layer 10 has a low distribution on the side of an emitter layer 13 and has a high distribution on the side of the collector layer 3A and the collector later is formed in such a way that a Ge concentration in the collector layer has a high distribution on the side of the base layer and has a low distribution on the side of a high-concentration buried layer 2 in the interior of the collector and the Ge concentration in the collector layer is abruptly reduced on the side of the base layer and is gently reduced on the side of the buried layer.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 1 4 7 2 8 7

(43) 公開日 平成 7 年 (1995) 6 月 6 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H O 1 L	21/331			
	29/73			
	21/8249			
		9170 - 4 M	H O 1 L	29/72
			27/06	3 2 1 H
審査請求	有	請求項の数 1	O L	(全 6 頁) 最終頁に続く

(21) 出願番号 特願平 5 - 296496

(22) 出願日 平成 5 年 (1993) 11 月 26 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 山崎 亨

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

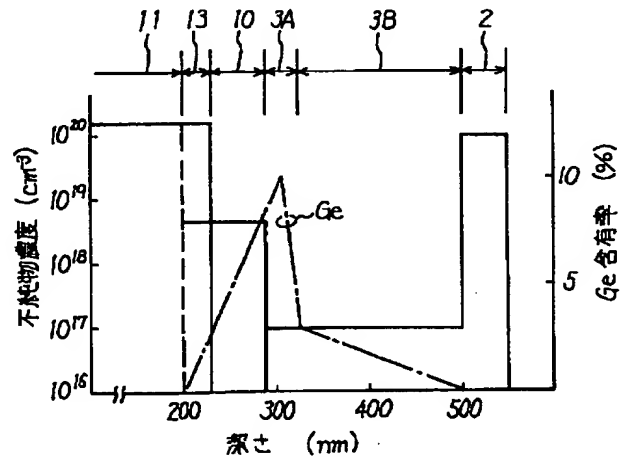
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 SiGe ベースおよび SiGe コレクタを有するシリコンヘテロ接合バイポーラトランジスタのドリフト電界を高め、ベース層中のキャリアの移動度を向上させ、かつベース・コレクタ接合領域において寄生エネルギー障壁の発生を抑制する。

【構成】 ベース層およびコレクタ層が Ge を含む単結晶シリコンからなるバイポーラトランジスタにおいて、ベース層 10 中の Ge の濃度はエミッタ層 13 側が低くコレクタ層 3A 側が高い分布を有し、コレクタ層中の Ge の濃度はベース層側が高くコレクタ内部の高濃度埋込み層 2 側が低い分布を有しかつ該コレクタ層内の Ge 濃度はベース層側で急激に減少し埋込み層側で緩やかに減少するように構成する。



【特許請求の範囲】

【請求項 1】 ベース層およびコレクタ層がゲルマニウムを含む単結晶シリコン層からなるバイポーラトランジスタを含む半導体装置において、前記ベース層中の深さ方向のゲルマニウム濃度はエミッタ層側が低くコレクタ層側が高い分布を有し、コレクタ層中の深さ方向のゲルマニウム濃度はベース層側が高くコレクタ層内部の高濃度埋込み層側が低い分布を有しかつ該コレクタ層内の深さ方向のゲルマニウム濃度はベース層側で急激に減少し埋込み層側で緩やかに減少する分布を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に SiGe ベースおよび SiGe コレクタを有するヘテロ接合バイポーラトランジスタに関する。

【0002】

【従来の技術】 従来広く用いられてきたシリコンバイポーラトランジスタはエミッタ・ベース間接合がホモ接合であるトランジスタであった。しかし、近年バイポーラトランジスタの性能を更に向上させるために例えば特開平 2-160937 号公報や特開平 1-289163 号公報に述べられているように、ヘテロ接合バイポーラトランジスタをシリコン系で実現しようとする方法が提案されてきている。即ち Si より狭いエネルギーバンドギャップ（禁制帯幅）を有する材料をバイポーラトランジスタのベース（いわゆるナローギャップベース）として用いればエミッタ注入効率が増加し電流増幅率（ h_{FE} ）が高くなる。またバイポーラトランジスタの高速化を図るためには、ベース幅を狭くするとともにベース層の不純物濃度を高くしベース抵抗を下げる手法が一般的に用いられるが、ヘテロ接合バイポーラトランジスタにおいてはエミッタ・ベース間のバンドギャップの差に基づくエネルギーバンド構造の為に、ベース層の不純物濃度を高くしても従来のホモ接合バイポーラトランジスタでみられる電流増幅率の低下はなく、高い電流増幅率を得ることができる。

【0003】 Si より狭い禁制帯を有する材料のひとつとして Si とゲルマニウムの混晶（以下 SiGe 層と記す）が広く研究されてきている。更にこの SiGe 層をベース層として用いたヘテロ接合バイポーラトランジスタとしては、例えば図 9 に示す構造のものが特開平 3-44937 号公報で提案されている。図 9 において 101 は N 型のコレクタ領域となるシリコン基板、102 は素子分離用絶縁膜、106 は N 型シリコンからなるエミッタ領域、107 は Al からなるエミッタ電極、108 はベース電極、109 はコレクタ電極、113 は P 型ベース領域、110 は Ge 拡散領域である。この従来例の構造ではコレクタ領域となる初期 N 型シリコン基板内へ Ge を固相もしくは液相で拡散し、しかも Ge の濃度は

図 10 に示されるように、基板内部へ深く進行するにつれてなだらかに低くなるような分布を有することを主要な特徴としている。従来のように単結晶 Si 上に SiGe 層をエピタキシャル成長させてベース層を形成する構造では、シリコン基板に対して急峻な組成分布を有する SiGe 層を直接接合形成するのでヘテロ界面に結晶欠陥を発生しやすい。しかしこの図 9 に示した従来例では Ge の濃度分布が基板内部にいくにつれて低くなるような組成分布になっているため欠陥発生抑制に有効であると述べられている。

【0004】

【発明が解決しようとする課題】 しかし図 9 に示した構造のナローギャップベースヘテロ接合バイポーラトランジスタには次のような問題が生じる。第 1 に逆ドリフト電界によりベース層内の少数キャリアの移動度低下が生じる。ベース層中においてエミッタ側の Ge の含有率がベース・コレクタ接合側よりも高く、例えばベース・エミッタ接合側の Ge の含有率が 15%、ベース・コレクタ接合側が 5% である場合、エミッタ側とコレクタ側のエネルギーバンドギャップ差は約 75 meV あり、逆ドリフト電界は 15~20 kV/cm になる。この逆ドリフト電界のため遮断周波数 f_T は約 10 GHz 低下する。

【0005】 一方、前述の逆ドリフト電界が生じないようにエミッタ側の Ge の含有率が図 7 に示すように、ベース・コレクタ接合側よりも低くした例が、例えばジェーエル パットン (G. L. Patton) 等により、1990 IEDM テクニカル ダイジェスト (Technical Digest) p13 に述べられている。しかしながら、この例の Ge 分布においても製造工程中の熱処理によって SiGe ベース層 10 中に含まれるボロンがコレクタ側へ拡散しベース・コレクタ接合の境界が破線 10c で示すように、シリコンコレクタ領域内へ移動しベース幅が 10b だけ広がると、高注入時に遮断周波数 f_T が急激に劣化するという第 2 の問題を生じる。これは以下の理由による。

【0006】 本来、ヘテロ接合であったベース・コレクタ界面でベース不純物であるボロンの熱拡散が生じ、ベース・コレクタ接合位置がコレクタ側へ移動する。このためコレクタ内に形成されたベース層の禁制帯幅は図 8 のエネルギーバンド構造図に示されるように、SiGe 層内のような狭禁制帯幅にならずシリコンの禁制帯幅に近くなり、ベース・コレクタ接合近辺に寄生エネルギー障壁 10d が形成されるからである。尚、図 8 中の 10a は MBE 成長後のベース幅、10b はベース中のボロンが熱拡散して形成されたベース幅、10c はボロン拡散領域を示す。この寄生エネルギー障壁 10d が存在することによりベース層からコレクタ層へ注入されるキャリアが減りコレクタ電流が減少する。また、ベース層中をキャリアが走行する時間も寄生エネルギー障壁が高いほど長くなり、バイポーラトランジスタの高周波特性を表す遮断

周波数 f_T も低下する。ベース層中のボロン拡散の度合と寄生エネルギー障壁の高さについてはプリンツ (Prinz) 等により、1989 IEDMテクニカルダイジェスト (Technical Digest) p639 に述べられている。

【0007】また寄生エネルギー障壁の発生原因はベース層中の不純物 (ボロン) がコレクタ層へ拡散し冶金学的ベース・コレクタ接合が移動する場合のみでなく、バイポーラトランジスタを高コレクタ電流領域で動作させたときに生じる実効的なベース幅変化、いわゆるベースプッシュアウトが起きる場合にも生じる。

【0008】本発明の目的は、ベース・コレクタ接合領域における寄生エネルギー障壁の発生を防止し、遮断周波数の低下を抑制したバイポーラトランジスタを含む半導体装置を提供することにある。

【0009】

【課題を解決するための手段】本発明の半導体装置は、ベース層およびコレクタ層がゲルマニウムを含む単結晶シリコン層からなるバイポーラトランジスタを含む半導体装置において、前記ベース層中の深さ方向のゲルマニウム濃度はエミッタ層側が低くコレクタ層側が高い分布を有し、コレクタ層中の深さ方向のゲルマニウム濃度はベース層側が高くコレクタ層内部の高濃度埋込み層側が低い分布を有しかつ該コレクタ層内の深さ方向のゲルマニウム濃度はベース層側で急激に減少し埋込み層側で緩やかに減少する分布を有することを特徴とするものである。

【0010】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の一実施例であるNPN型シリコンヘテロ接合バイポーラトランジスタの断面図である。

【0011】図1においてP型シリコン基板1には高濃度のN⁺型埋込み層2と第1のGe濃度分布を有する第1コレクタ層3Aと第2のGe濃度分布を有する第2コレクタ層3Bが形成されている。そして第1コレクタ層3A上に選択エピタキシャル成長技術により成長したP型SiGeのベース層10とN型拡散層からなるエミッタ層13が形成されている。尚図1において4は絶縁分離酸化膜、5はコレクタ引出し用の拡散層、6は酸化膜、7は外部ベース引出し用のP型多結晶シリコン層、8及び9は窒化膜、11はエミッタ引き出し用多結晶シリコン層、12はコレクタ界面である。次にこのトランジスタにおける深さ方向の不純物濃度分布およびGe濃度分布 (図1中のA-A断面方向) を示す図2を併用して更に説明する。

【0012】エミッタ電極11を構成するN型多結晶シリコン層は200~300nmの厚さを有し、その不純物 (P又はAs) 濃度は例えば $10^{20} \sim 10^{21} \text{ cm}^{-3}$ 、N型のエミッタ層13は30~40nmの深さである。真性ベース層10の厚さは30~80nmでP型不純物

(B) 濃度は例えば $2 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 、第1コレクタ層3Aの厚さは20~60nmでN型不純物濃度は例えば $1 \times 10^{16} \sim 6 \times 10^{17} \text{ cm}^{-3}$ 、第2コレクタ層3Bの厚さは50~800nmでN型不純物濃度は例えば $1 \times 10^{16} \sim 6 \times 10^{17} \text{ cm}^{-3}$ 、N⁺型埋込み層2の不純物濃度は例えば $5 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。

【0013】一方、Geの濃度分布は真性ベース層中においてはエミッタ領域側が低くコレクタ側が高い分布を有する。例えば図2に示す如く、エミッタ側は0%のGeの含有率でありコレクタ側では10~15%のGeの含有率を有する傾斜型の濃度分布を有する。コレクタ側のGe含有率を20%以上にすれば濃度傾斜が更になりドリフト電界を大きくして小数キャリアである電子をより加速することができるが、一方でSiとGeの格子定数が違うことに起因してベース層に欠陥が発生しやすくなる。従ってGeの含有率は高くても20%以下にすることが望ましい。尚、図9で説明した従来例のように、Geをシリコン基板表面側から拡散する方法では基板表面側のGe濃度が必ず高くなり本実施例のような濃度分布を得ることはできない。次にコレクタ層内のGe分布について説明する。

【0014】図2に示されるように、実施例においてはコレクタ層内ではGeの濃度分布が急激に減少する領域と緩やかに減少する領域を有している。即ち第1コレクタ層3A内ではベース層側のGe濃度が10~15%から4~5%に急激に減少し、一方N⁺型埋込み層側のGe濃度は約5%から緩やかに減少している。また第1コレクタ層3Aの厚さは20~60nmが望ましい。なぜならばGe濃度が10~15%と高い層を100nm以上の厚さにすると前述のベース層と同様に欠陥が発生しやすくなるからである。一方、10nm以下の領域でGeの含有率を10~15%から5%以下まで急激に下げると濃度変化が急峻すぎてベース・コレクタ接合界面でノッチ (またはスパイク) とよばれる寄生エネルギー障壁が発生しやすくなるので好ましくない。次に第2コレクタ層3B内のGe濃度分布は第1コレクタ層3A側が約5%でありN⁺型埋込み層側が0%と第1コレクタ層よりもゆるやかな傾斜での濃度分布を有している。このため第2コレクタ層3Bの厚が1μm程度まで厚くなっても欠陥が生じることがない。

【0015】尚、図3にSiGe層中のGe含有率と欠陥が発生する臨界膜厚の関係を示す。同図から判るように、Ge含有率が5%以下になると急激に臨界膜厚は増加する。本実施例のように2種類のGeの濃度領域を有する第1、第2コレクタ層でかつ精度よく低濃度のGeを含有させることは、超高真空排気を有する減圧CVD技術を用いたエピタキシャル技術を用いれば容易に形成可能であるが、従来例のようにGeをシリコン基板中に拡散してSiGe層を形成する方法では実現できない。

尚、本実施例では2種類のGeの濃度減少領域を有している場合について説明したが2種類以上であってもよい。

【0016】図6に従来例と本実施例での高コレクタ電流密度における遮断周波数 f_T の比較を示す。本実施例によればベース・コレクタ接合における寄生エネルギー障壁の発生が防止されるため、 f_T 低下を抑制することができる。

【0017】図4は本発明をBiCMOSに適用した例の断面図である。

【0018】 N^+ 型埋込み層2を形成したシリコン基板1上にMOSトランジスタとバイポーラトランジスタが形成されている。埋込み層2上には第2のGe濃度分布を有するコレクタ層3Bが厚さ1~0.5 μm に成長してある。MOSトランジスタ領域も含むこの第2コレクタ層3Bの表面のGe含有率は例えば5%で埋込み層側は0%である。尚、5%程度のGe含有率ではMOSトランジスタのしきい値電圧には大きな影響を与えることはない。エミッタ拡散層13、ベース層10、第1のGe濃度分布を有する第1コレクタ層3Aの深さ方向の不純物分布は図2に示した実施例と同様である。エミッタ引き出し用多結晶シリコン層11は窒化膜8およびサイドウォールの窒化膜9により外部ベース引き出し用P型多結晶シリコン層7と分離されている。更に、コレクタ抵抗を低減するためコレクタ引き出し拡散層5が設けられている。また、素子間絶縁分離の酸化膜4は、従来法のように熱酸化法で形成するとGeが素子間絶縁分離酸化膜/SiGeの層の界面にパイルアップするので酸化膜埋設トレンチで形成され、表面には酸化膜6が設けられている。これらの構造は図1に示した実施例と同様である。

【0019】一方、MOSトランジスタはコレクタ層3Bと同じ第2のSiGe層に設けられたウエル領域18内に形成され、側面に絶縁膜からなるサイドウォール15を有するゲート電極14、低濃度ソース・ドレイン拡散層16、ソース・ドレイン拡散層17からなる。また、ゲート酸化はゲート酸化膜/SiGe界面でのGeの析出を避けるため低温の高圧酸化、例えば O_2 雰囲気中、600~700気圧、550℃で厚さ6~10nmに形成する。製造工程中のその他の熱処理温度はSiGe層の歪(strain)を維持するため950℃より低温であることが望ましい。また、バイポーラトランジスタのコレクタ部の第2のGe濃度分布を有するコレクタ層3B上のみには、選択エピタキシャル成長技術を用いて第1コレクタ層3Aを形成してある。

【0020】図5に一般にBiNMOSゲートと呼ばれるインバータ回路を示す。同図のインバータ回路においてP1はPチャネルMOSトランジスタ、N1、N2はNチャネルMOSトランジスタ、Q1はNPNトランジスタである。図5に示すようなBiNMOS回路では、

出力負荷容量を急速に充放電するためバイポーラトランジスタを高コレクタ電流領域で動作させている。このため前述したような寄生エネルギー障壁を有するバイポーラトランジスタでは回路性能は大きく劣化し、従来のシリコンホモ接合トランジスタを用いた場合よりもBiCMOS回路の負荷駆動能力は悪化してしまう。しかし、本発明の構造を用いれば寄生エネルギー障壁の発生を抑制できSiGeベースシリコンヘテロ接合バイポーラトランジスタをBiCMOS回路に適用しても高い駆動能力を得ることができる。

【0021】

【発明の効果】以上説明したように本発明は、少なくともベース層およびコレクタ層がゲルマニウムを含む単結晶シリコン層からなるバイポーラトランジスタのベース層中のGe濃度をエミッタ層側が低くコレクタ層側が高い分布にし、コレクタ層中のGe濃度をベース層側が高く、コレクタ層内部の高濃度N型埋込み層側が低い分布としかつこのコレクタ層内のGe濃度がベース層側で急激に減少し埋込層側で緩やかに減少するように構成することにより、ベース・コレクタ接合界面に生じる寄生エネルギー障壁を抑制することができ、遮断周波数の低下が抑制された高性能のバイポーラトランジスタが実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例の断面図。

【図2】本発明の実施例の深さ方向の不純物濃度分布およびGe含有率を示す図。

【図3】Ge含有率とSiGe層の臨界膜厚との関係を示す図。

【図4】本発明の適用例の断面図。

【図5】本発明を適用した回路図。

【図6】コレクタ電流密度と f_T との関係を示す図。

【図7】従来のバイポーラトランジスタを説明するための深さ方向の不純物濃度分布およびGe含有率を示す図。

【図8】従来例の不具合を説明するためのエネルギーバンド図。

【図9】従来のバイポーラトランジスタの一例の断面図。

【図10】従来のバイポーラトランジスタの深さ方向の不純物濃度分布およびGe含有率を示す図。

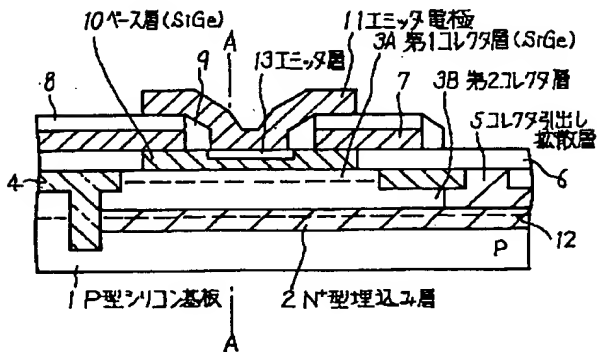
【符号の説明】

- 1 P型シリコン基板
- 2 N^+ 型埋込層
- 3A 第1コレクタ層
- 3B 第2コレクタ層
- 4 絶縁分離酸化膜
- 5 コレクタ引き出し拡散層
- 6 酸化膜
- 7 P型多結晶シリコン層

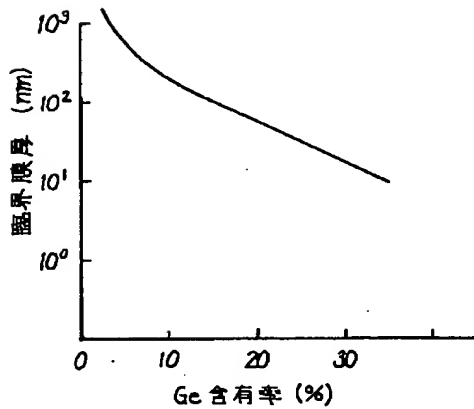
- 7
- 8 窒化膜
9 サイドウォール (窒化膜)
10 ベース層
11 エミッタ電極
12 シリコン基板とエピタキシャルコレクタ界面
13 エミッタ層

- 8
- 14 ゲート電極
15 サイドウォール
16 低濃度ソース・ドレイン拡散層
17 ソース・ドレイン拡散層
18 ウェル領域

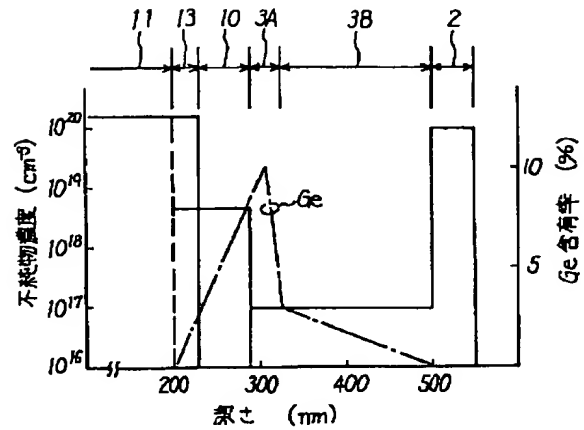
【図1】



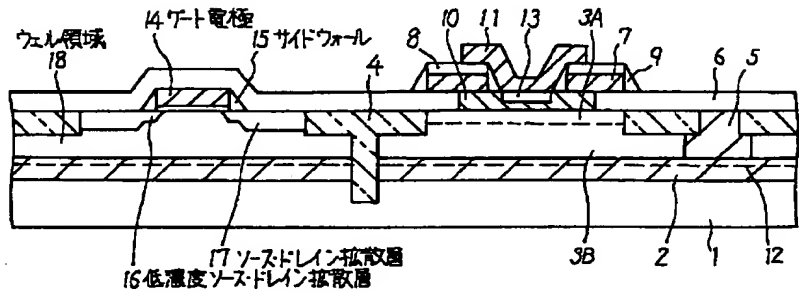
【図3】



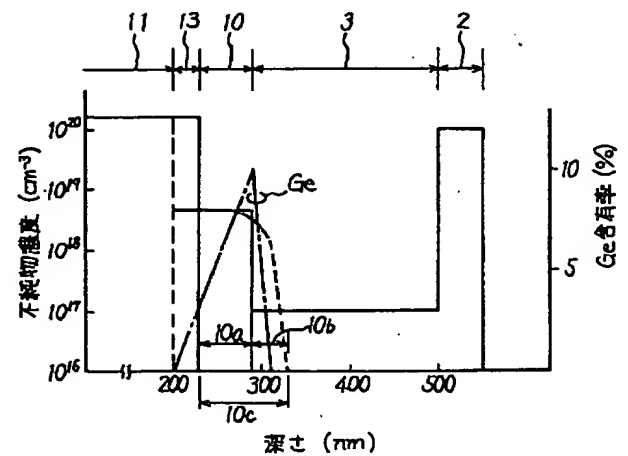
【図2】



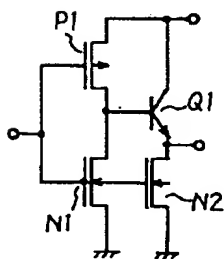
【図4】



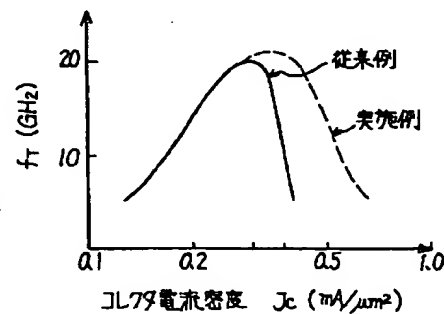
【図7】



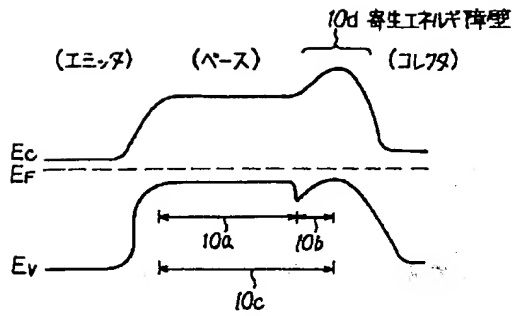
【図5】



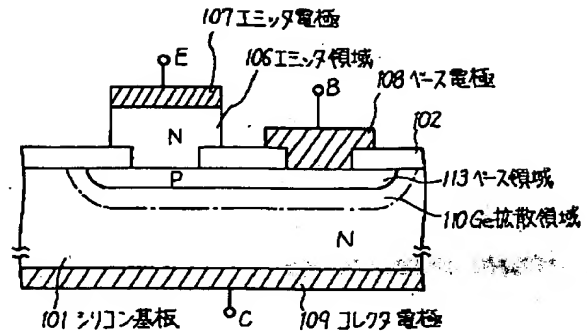
【図6】



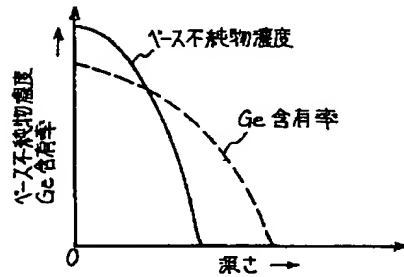
【図 8】



【図 9】



【図 10】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 27/06

29/205

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/205